

中国科学院研究生院

2012 年招收攻读硕士学位研究生入学统一考试试题

科目名称：电子线路

考生须知：

1. 本试卷满分为 150 分，全部考试时间总计 180 分钟。
2. 所有答案必须写在答题纸上，写在试题纸上或草稿纸上一律无效。

一、填空题（每题 2 分，共 58 分）

1. 由 PN 结构成的半导体二极管具有的主要特性是_____性。
2. 半导体二极管的主要参数为_____、_____、_____、_____。
3. 双极型晶体管工作在放大区的偏置条件是发射结_____、集电结_____。
4. 放大器级间耦合方式有三种：_____耦合；_____耦合；_____耦合；在集成电路中通常采用_____耦合。
5. 当信号频率等于放大电路的 f_L 或 f_H 时，放大电路的放大倍数下降到中频时的倍，及增益下降_____dB。
6. 用待传输的低频信号去改变高频信号的幅度称为_____，未被调制的高频信号是运载信息的工具，称为_____。
7. 场效应管的低频跨导描述了_____电压对_____电流的控制作用。
8. 集成运放电路的频率补偿方法可分为_____和_____两大类。
9. 差分放大器的基本特点是放大_____、抑制_____。
10. 振荡电路的平衡条件是_____，正反馈才能保证振荡电路的_____。
11. 在放大电路中为了提高输入电阻应引入_____负反馈，为了降低输出电阻应引入_____负反馈。
12. 有源滤波器按电路的幅频特性可分为低通滤波、高通滤波、_____、_____和全通滤波五种。
13. 十进制数 $(257.125)_{10}$ 的八进制表示形式是_____。
14. 数字电路中，8bit 二进制补码表示的算术运算 $(01011100)_2 + (11111000)_2 = (01010100)_2$ 的十进制表示运算式是_____。
15. 图 1 所示逻辑电路的逻辑函数 $Y = F(A, B, C)$ 最小项之和为_____。

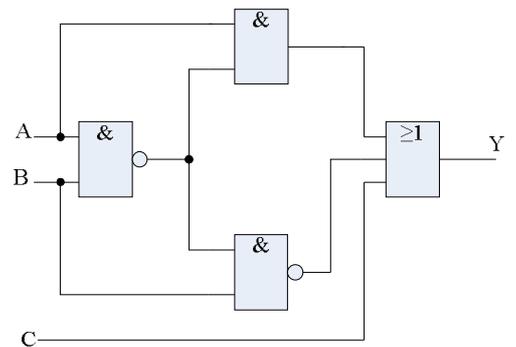


图 1

16、图 2 所示的逻辑门电路（G 为 TTL 门），F 的逻辑表达式为_____。

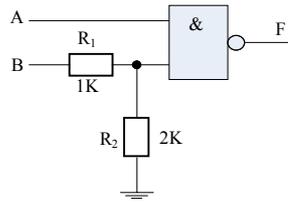


图 2

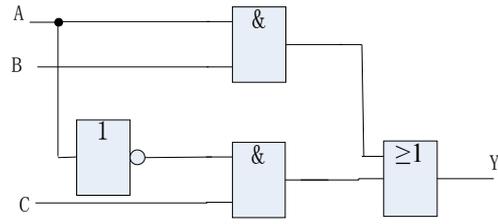


图 3

17、图 3 所示电路 _____（填“存在”或“不存在”）竞争-冒险。

18、门电路有下列参数： $V_{OH(\min)} = 2.4V, V_{OL(\max)} = 0.4V, V_{IH(\min)} = 2.0V, V_{IL(\max)} = 0.8V$ 。由这些参数可知这款门电路的输入低电平噪声容限为_____V。

19、CMOS 电路存在锁定现象的根源是其内部存在寄生的_____结构。

20、D 触发器的特性方程为_____。

21. 将两个 OC 结构的非门“线与”连接起来可以得到_____逻辑功能。

22、设计带进位输出端的 13 进制计数器需要_____个触发器。

23、图 4 是某 EPROM 的 DATASHEET 关于芯片管教定义部分的截图，从图中可以看出该芯片的存储容量是_____Kbits。

Pin Name	Function
A0 - A18	Addresses
\overline{CE}	Chip Enable
\overline{OE}	Output Enable
\overline{WE}	Write Enable
I/O0 - I/O7	Data Inputs/Outputs
NC	No Connect

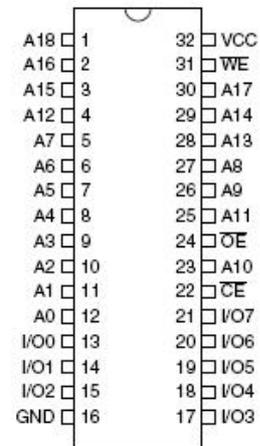


图 4

24、石英晶体多谐振荡器的振荡频率取决于_____。

25、CMOS 反向器 G1、G2 及电阻组成的图 5 所示电路为_____触发器，若 G1、G2 的阈值电压为

$V_{TH} = \frac{1}{2}V_{DD}$ ，则此电路的正向阈值电压 $V_{T+} =$ _____。

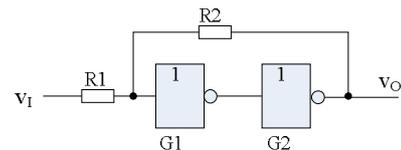
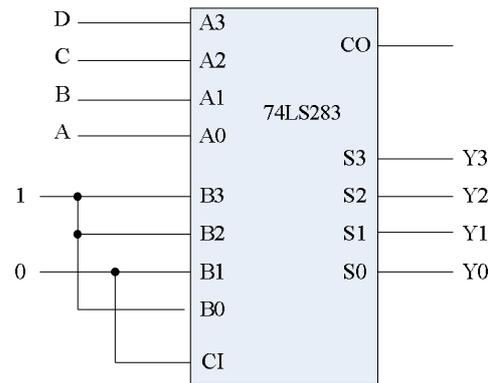


图 5

26、某 D/A 转换电路，当输入数字量为 1000000 时，输出电压为 5V，则该电路的分辨率为_____mV，当输入数字量为 01010000 时，输出电压为_____V。

27、555 定时器是一种多用途的数字-模拟混合集成电路。通过外接少数电阻电容，利用 555 定时器可以方便地构成_____、_____和_____等常用电路。

28、图 6 所示，由 4 位全加器 74LS283 构成电路中，输入 DCBA 为十进制数的余 3 码 BCD 码，则输出 Y3Y2Y1Y0 为对应十进制数的_____BCD 码。



29、图 7 是某 AD 芯片 DATASEET 的部分内容，据此判断此 AD 芯片的分辨率为_____。

图 6

ADC08D1000

High Performance, Low Power, Dual 8-Bit, 1 GSPS A/D Converter

General Description

The ADC08D1000 is a dual, low power, high performance CMOS analog-to-digital converter that digitizes signals to 8 bits resolution at sampling rates up to 1.3 GSPS. Consuming a typical 1.6 Watts at 1 GSPS from a single 1.9 Volt supply, this device is guaranteed to have no missing codes over the full operating temperature range. The unique folding and interpolating architecture, the fully differential comparator design, the innovative design of the internal sample-and-hold amplifier and the self-calibration scheme enable a very flat response of all dynamic parameters beyond Nyquist, producing a high 7.4 ENOB with a 500 MHz input signal and a 1 GHz sample rate while providing a 10^{-18} B.E.R. Output formatting is offset binary and the LVDS digital outputs are compatible with IEEE 1596.3-1996, with the exception of an adjustable common mode voltage between 0.8V and 1.2V.

Each converter has a 1:2 demultiplexer that feeds two LVDS buses and reduces the output data rate on each bus to half the sampling rate. The two converters can be interleaved and used as a single 2 GSPS ADC.

The converter typically consumes less than 3.5 mW in the Power Down Mode and is available in a 128-lead, thermally enhanced exposed pad LQFP and operates over the Industrial $(-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C})$ temperature range.

Features

- Internal Sample-and-Hold
- Single +1.9V ± 0.1 V Operation
- Choice of SDR or DDR output docking
- Interleave Mode for 2x Sampling Rate
- Multiple ADC Synchronization Capability
- Guaranteed No Missing Codes
- Serial Interface for Extended Control
- Fine Adjustment of Input Full-Scale Range and Offset
- Duty Cycle Corrected Sample Clock

Key Specifications

■ Resolution	8 Bits
■ Max Conversion Rate	1 GSPS (min)
■ Bit Error Rate	10^{-18} (typ)
■ ENOB @ 500 MHz Input	7.4 Bits (typ)
■ DNL	± 0.15 LSB (typ)
■ Power Consumption	
— Operating	1.6 W (typ)
— Power Down Mode	3.5 mW (typ)

Applications

- Direct RF Down Conversion
- Digital Oscilloscopes
- Satellite Set-top boxes
- Communications Systems
- Test Instrumentation

图 7

二、基本放大器如图 8 所示，已知晶体管的 $\beta = 100$ ， $V_{BE(on)} = 0.7\text{V}$ ， $r_{bb'} = 300\Omega$ ， r_{ce} 可忽略， $R_E = 2.3\text{K}\Omega$ ， $I_1 \approx I_2 = 10I_{BQ}$ ， C_1 、 C_2 和 C_e 均可视为中频交流短路。（18 分）

(1) 欲使 $I_{CQ} = 1mA$, $V_{CEQ} = 6V$, 试确定 R_{B1} , R_{B2} 和 R_C 的值; (7分)

(2) 设 $R_L = 4.3K\Omega$, 计算该放大器的中频增益 $A_v = v_o/v_i = ?$ (5分)

(3) 试求电容 C_1 确定的下限截止频率 f_{L1} (设 $C_1 = 10\mu F$)。 (6分)

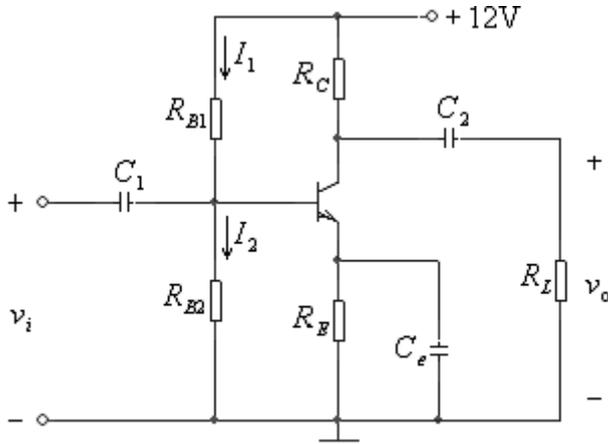


图 8

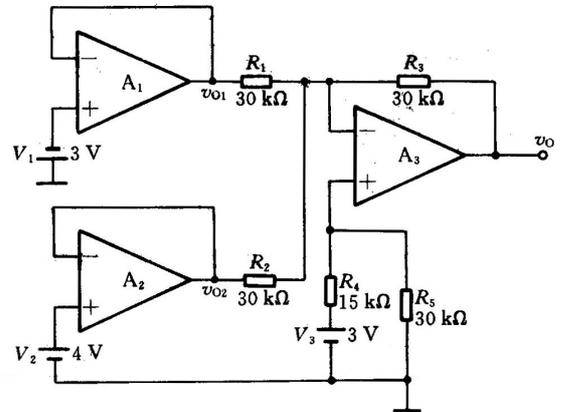


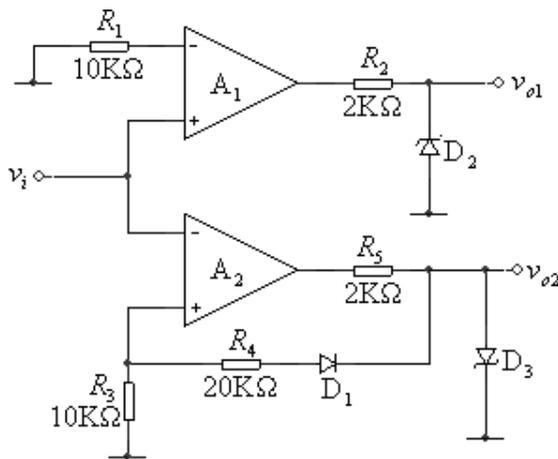
图 9

三、如图 9 所示电路, 设运放是理想的, 试求 v_o 的值。(11分)

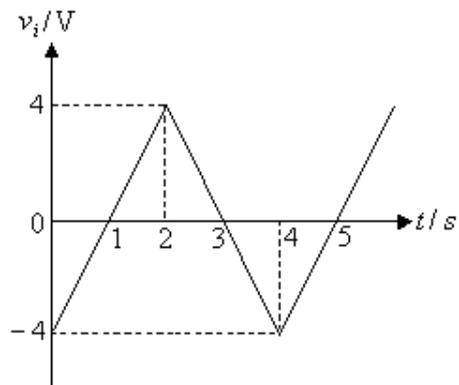
四、在图 10 (a) 所示电路中, 运放和二二极管 D_1 均为理想的, 稳压二极管 D_2 和 D_3 的性能相同, $V_Z = 6V$, $V_{D(on)} = 0.7V$ 。(18分)

(1) 试求 A_1 和 A_2 电路的电压传输特性, 画出 $v_{o1} \sim v_i$ 和 $v_{o2} \sim v_i$ 波形; (10分)

(2) 若 v_i 为图 10 (b) 所示的信号, 试分别画出 v_{o1} 和 v_{o2} 的波形; (8分)



(a)



(b)

图 10

五、已知逻辑函数
$$\begin{cases} F = \bar{A}BE + BCDE + \bar{B}\bar{C}\bar{D}E + \bar{B}\bar{C}D\bar{E} \\ ABC\bar{D}E + ABC\bar{D}\bar{E} + \bar{B}CD = 0 \end{cases}$$
, 分别用最少量的与非门

和最少量的或非门实现此电路。(12分)

六、具有三态输出控制的触发器电路及输入信号波形如图 11 所示，试分析该电路并画出 Q1、Q1'、Q2、Q2'的波形。（10 分）

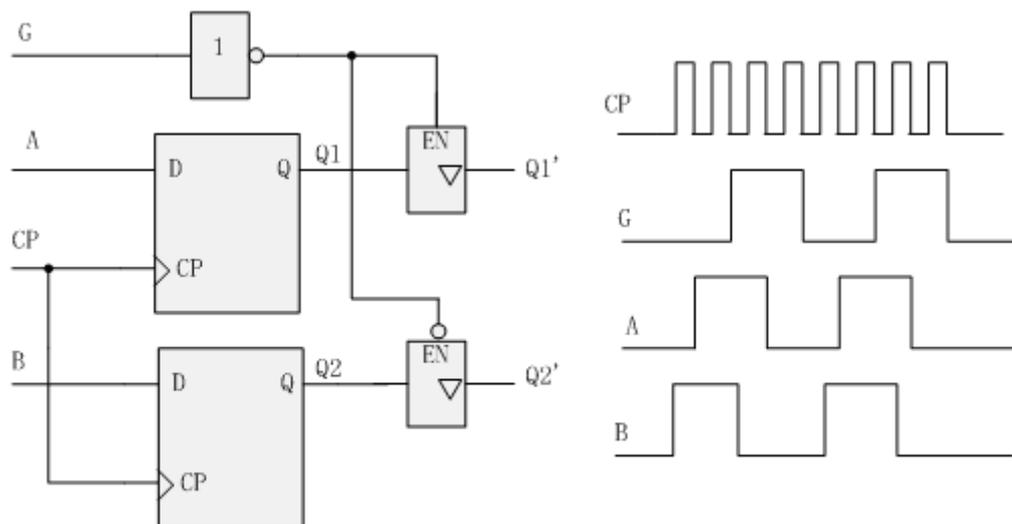


图 11

七、用 D 触发器和逻辑门设计三相脉冲发生器电路，要求输出如图 12 所示波形。（15 分）

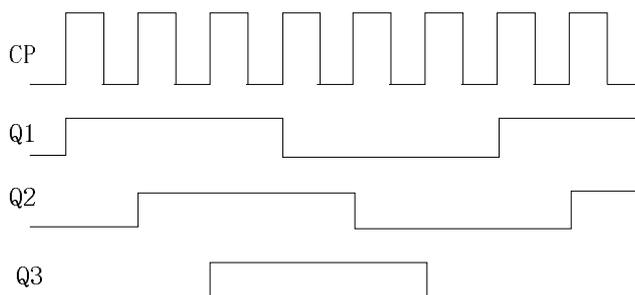


图 12

八、CMOS 门构成的电路如图 13(a)所示，其中 CMOS 门电路 $V_{OH} \approx V_{DD}$, $V_{OL} \approx 0$, $V_{TH} \approx \frac{1}{2}V_{DD}$ 。已知输入触发信号的波形如图 13 (b) 所示，且相邻脉冲间隔可以保证电路正常工作。求暂态持续时间表达式并画出电路中各节点的波形。（8 分）

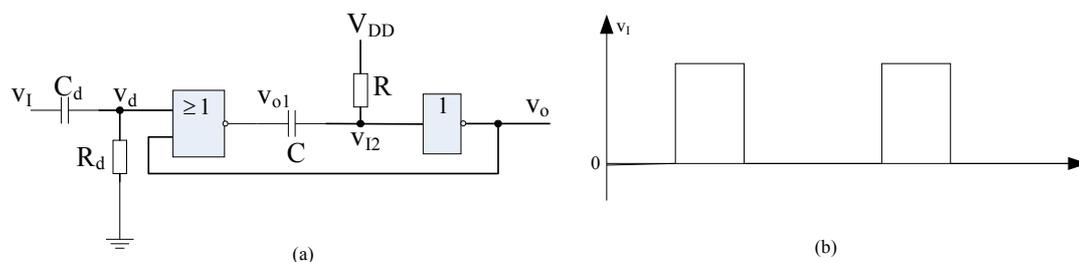


图 13